

IN THE U.S. PATENT AND TRADEMARK OFFICE

#3
LTK
04/18/02

1c971 U.S. PTO
10/092255
03/07/02

Applicant(s): OGAWA, Yoshinori et al.

Application No.:

Group:

Filed: March 7, 2002

Examiner:

For: IMAGE DISPLAY DEVICE

LETTER

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

March 7, 2002
1248-0583P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2001-206956	07/06/01

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By:

Terrell C. Birch
TERRELL C. BIRCH

Reg. No. 19,382

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/rmv

日本国特許
JAPAN PATENT OFFICE

104205-8000

Docket No 1248-
05837
181

10/092255
03/07/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2001年 7月 6日

出願番号

Application Number: 特願2001-206956

[ST.10/C]:

[JP2001-206956]

出願人

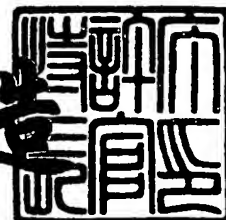
Applicant(s): シャープ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 1月11日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3115530

【書類名】 特許願

【整理番号】 01J01467

【提出日】 平成13年 7月 6日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G09G 3/36
G02F 1/133
H04N 5/66 102

【発明の名称】 画像表示装置

【請求項の数】 3

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 小川 嘉規

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 勝谷 昌史

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置

【特許請求の範囲】

【請求項 1】

相互に交差する複数の走査信号線およびデータ信号線によって区画された各画素領域に電気光学素子ならびにそれに対を成すスイッチング素子および画素容量を備え、前記スイッチング素子によって前記画素容量に取込まれた電荷によって電気光学素子を表示駆動するようにした画像表示装置において、

データ信号線駆動回路は、相互に隣接する画素を一对として、相互に極性の異なる階調表示用電圧を出力し、

前記階調表示用電圧の極性を切換える走査を行う際には、前の走査信号線の選択走査期間内に、前記一对の画素容量間を短絡する短絡手段を含むことを特徴とする画像表示装置。

【請求項 2】

相互に交差する複数の走査信号線およびデータ信号線によって区画された各画素領域に電気光学素子ならびにそれに対を成すスイッチング素子および画素容量を備え、前記スイッチング素子によって前記画素容量に取込まれた電荷によって電気光学素子を表示駆動するようにした画像表示装置において、

データ信号線駆動回路の出力段と前記データ信号線との間に介在され、それらの間を、走査信号線駆動回路による各走査信号線の選択走査の前半期間に切離す切離し手段を含み、

前記データ信号線駆動回路は、該データ信号線方向に相互に隣接する画素を一对として、相互に極性の異なる階調表示用電圧を出力し、

前記走査信号線駆動回路は、前記階調表示用電圧の極性を切換える走査を行う際には、前記の対を成す走査信号線の内、走査順位が前段側の走査信号線の選択走査時の前記前半期間に、後段側の走査信号線も併せて選択走査することを特徴とする画像表示装置。

【請求項 3】

相互に交差する複数の走査信号線およびデータ信号線によって区画された各画

素領域に電気光学素子ならびにそれに対を成すスイッチング素子および画素容量を備え、前記スイッチング素子によって前記画素容量に取込まれた電荷によって電気光学素子を表示駆動するようにした画像表示装置において、

データ信号線駆動回路の出力段と前記データ信号線との間に介在され、それらの間を、走査信号線駆動回路による各走査信号線の選択走査の前に設けられるブランキング期間に切離す切離し手段を含み、

前記データ信号線駆動回路は、該データ信号線方向に相互に隣接する画素を一对として、相互に極性の異なる階調表示用電圧を出力し、

前記走査信号線駆動回路は、前記階調表示用電圧の極性を切換える走査を行う際には、前記の対を成す走査信号線の内、走査順位が前段側の走査信号線の選択走査の前の前記ブランキング期間に、後段側の走査信号線も併せて選択走査することを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置などとして好適に実施され、相互に交差する複数の走査信号線およびデータ信号線によって区画された各画素領域に電気光学素子ならびにそれに対を成すスイッチング素子および画素容量を備えるアクティブマトリクス方式の画像表示装置に関する。

【0002】

【従来の技術】

前記液晶表示装置などでは、電気光学素子である液晶の劣化を抑えるために、従来から、交流駆動が行われている。しかしながら、交流駆動を行うと、階調表示用電圧の極性を切換える際に、データ信号線駆動回路は、逆極性の電荷の注入によって、データ信号線および画素容量の電荷を放電した後、所望とする階調表示用電圧まで充電を行うことになり、多くの電力を消費するという問題がある。そこで、典型的な従来技術である特開平9-212137号公報が提案された。

【0003】

図12は、その特開平9-212137号の構成を簡略化して示すブロック図

である。この従来技術では、交流駆動を行うにあたって、相互に隣接するフレーム間で、相互に逆極性の階調表示用電圧を出力するフレーム反転駆動が行われている。また、フリッカーを抑制するために、データ信号線方向に相互に隣接する画素間で相互に逆極性の階調表示用電圧を出力するライン反転駆動および走査信号線方向に相互に隣接する画素間で相互に逆極性の階調表示用電圧を出力するドット反転駆動が併用されている。

【0004】

したがって、表示データの極性は、フレーム毎に、たとえば図13(a)と図13(b)との間で切換わる。図13は、液晶パネルの8×6画素分を示している。図13(a)と図13(b)とでは、フレーム毎に総ての画素の極性が切換わっていることから前記フレーム反転駆動が行われていることが理解され、かつ各フレーム内で、データ信号線方向(図13では上下方向)に相互に隣接する画素の極性が切換わっていることから前記ライン反転駆動が行われていることが理解され、さらに走査信号線方向(図13では左右方向)に相互に隣接する画素の極性が切換わっていることから前記ドット反転駆動が行われていることが理解される。

【0005】

図12を参照して、データドライバ1からの前記各データ信号線d1, d2, ..., dnには、直列に切離しスイッチs1, s2, ..., snがそれぞれ介在されており、また各データ信号線d1, d2, ..., dn間には、前記スイッチs1～snの下流側で、それらを短絡する短絡スイッチsw1, sw2, ..., swn-1が設けられている。図示しない各走査信号線が順次選択走査されて、各画素のスイッチング素子を介して画素容量にデータ信号線d1～dnの階調表示用電圧が取込まれてゆくときには、前記スイッチs1～snは導通し、前記短絡スイッチsw1～swn-1は遮断している。

【0006】

一方、各画素に前記階調表示用電圧が取込まれる直前には、ブランキング期間が設定されており、該ブランキング期間には、スイッチs1～snは遮断し、スイッチsw1～swn-1は導通する。これによって、選択走査されているライ

ン上の画素の画素容量が、各画素のスイッチング素子からデータ信号線 $d_1 \sim d_n$ を介して短絡スイッチ $sw_1 \sim sw_{n-1}$ によって短絡され、略均等に存在する正の電荷と負の電荷とが中和して同電位となる。なお、スイッチ $s_1 \sim s_n$ が遮断することで、データドライバ1の出力段に短絡の影響を与えることはない。

【0007】

したがって、前記データドライバ1は、前記同電位から、それぞれ反転した階調表示用電圧となるまで各画素容量を充電すればよく、該データドライバ1の消費電力を削減することができる。

【0008】

【発明が解決しようとする課題】

一般的に、液晶パネルのデータ信号線数と走査信号線数とを比較すると、データ信号線数が倍程度多いのが普通である。たとえば、携帯電話に使用されている小型液晶パネルを例にすると、走査信号線数が80本に対して、データ信号線数は168本となっている。これは、データ信号線には、カラー表示のためのR、G、B表示データの出力にそれぞれ対応したラインが設けられるためである。このため、上述のような従来技術では、出力数が多いところに、データドライバ1内に、切離し用のスイッチ $s_1 \sim s_n$ に加えて、短絡スイッチ $sw_1 \sim sw_{n-1}$ を造り込む必要があり、該データドライバ1のICチップの面積が増大するという問題がある。

【0009】

また、選択走査の順位が後ろのライン、すなわちデータドライバ1から遠いライン程、短絡スイッチ $sw_1 \sim sw_{n-1}$ までのデータ信号線 $d_1 \sim d_n$ の配線長が長くなり、配線抵抗の影響による電圧降下によって完全に電荷を中和できず、前記消費電力を十分に削減することができないという問題もある。また、前記配線長が長くなる程、波形鈍りによる応答時間が大きくなるという問題もある。このため、データ信号線が長くなる大画面の表示装置には効果が小さくなる。

【0010】

本発明の目的は、データ信号線駆動回路を簡単な構成で実現しつつ、大型画面に適用することができる画像表示装置を提供することである。

【 0 0 1 1 】

【課題を解決するための手段】

本発明の画像表示装置は、相互に交差する複数の走査信号線およびデータ信号線によって区画された各画素領域に電気光学素子ならびにそれに対を成すスイッチング素子および画素容量を備え、前記スイッチング素子によって前記画素容量に取込まれた電荷によって電気光学素子を表示駆動するようにした画像表示装置において、データ信号線駆動回路は、相互に隣接する画素を一对として、相互に極性の異なる階調表示用電圧を出力し、前記階調表示用電圧の極性を切換える走査を行う際には、前の走査信号線の選択走査期間内に、前記一对の画素容量間を短絡する短絡手段を含むことを特徴とする。

【 0 0 1 2 】

上記の構成によれば、相互に交差する複数の走査信号線およびデータ信号線の交点にスイッチング素子が設けられ、走査信号線の選択走査によって該スイッチング素子がデータ信号線の階調表示用電圧を画素容量に取込み、その取込まれた電荷によって電気光学素子を表示駆動することで、非選択期間にも表示を維持するようにしたアクティブマトリクス方式の画像表示装置において、相互に隣接する画素を一对として、データ信号線駆動回路は、相互に極性の異なる階調表示用電圧を出力する。すなわち、交流駆動を行うにあたって、データ信号線方向に相互に隣接する画素間で相互に逆極性の階調表示用電圧を出力するライン反転駆動および／または走査信号線方向に相互に隣接する画素間で相互に逆極性の階調表示用電圧を出力するドット反転駆動を行う。なお、相互に隣接するフレーム間で、相互に逆極性の階調表示用電圧を出力するフレーム反転駆動が併用されてもよい。

【 0 0 1 3 】

そして、短絡手段は、1または複数フレーム毎に前記階調表示用電圧の極性を切換えるにあたって、前の走査信号線の選択走査期間、すなわち対象となる走査信号線が選択走査される直前の非選択期間内に、前記一对の画素容量間を短絡する。

【 0 0 1 4 】

したがって、前記階調表示用電圧の極性を切換えるにあたって、相互に逆極性の隣接画素間で画素容量の電荷が十分に中和された後に、対象となる走査信号線が選択走査されてデータ信号が取込まれる。したがって、データ信号線駆動回路がデータ信号線を充電する電荷量を少なくすることができ、省電力化を図ることができる。また、前記の電荷の中和は、隣接画素間で行われるので、短絡手段は表示パネル上に形成され、前記データ信号線駆動回路を簡単な構成で実現することができるとともに、波形鈍りを小さくすることができる。さらにまた、そのように短絡される画素間是非選択状態であるので、データ信号線から切離されており、データ信号線駆動回路に影響を及ぼすことはない。これによって、大型画面に好適に用いることができる。

【 0 0 1 5 】

また、本発明の画像表示装置は、相互に交差する複数の走査信号線およびデータ信号線によって区画された各画素領域に電気光学素子ならびにそれに対を成すスイッチング素子および画素容量を備え、前記スイッチング素子によって前記画素容量に取込まれた電荷によって電気光学素子を表示駆動するようにした画像表示装置において、データ信号線駆動回路の出力段と前記データ信号線との間に介在され、それらの間を、走査信号線駆動回路による各走査信号線の選択走査の前半期間に切離す切離し手段を含み、前記データ信号線駆動回路は、該データ信号線方向に相互に隣接する画素を一对として、相互に極性の異なる階調表示用電圧を出力し、前記走査信号線駆動回路は、前記階調表示用電圧の極性を切換える走査を行う際には、前記の対を成す走査信号線の内、走査順位が前段側の走査信号線の選択走査時の前記前半期間に、後段側の走査信号線も併せて選択走査することを特徴とする。

【 0 0 1 6 】

さらにまた、本発明の画像表示装置は、相互に交差する複数の走査信号線およびデータ信号線によって区画された各画素領域に電気光学素子ならびにそれに対を成すスイッチング素子および画素容量を備え、前記スイッチング素子によって前記画素容量に取込まれた電荷によって電気光学素子を表示駆動するようにした画像表示装置において、データ信号線駆動回路の出力段と前記データ信号線との

間に介在され、それらの間を、走査信号線駆動回路による各走査信号線の選択走査の前に設けられるブランキング期間に切離す切離し手段を含み、前記データ信号線駆動回路は、該データ信号線方向に相互に隣接する画素を一对として、相互に極性の異なる階調表示用電圧を出力し、前記走査信号線駆動回路は、前記階調表示用電圧の極性を切換える走査を行う際には、前記の対を成す走査信号線の内、走査順位が前段側の走査信号線の選択走査の前の前記ブランキング期間に、後段側の走査信号線も併せて選択走査することを特徴とする。

【 0 0 1 7 】

上記の構成によれば、相互に交差する複数の走査信号線およびデータ信号線の交点にスイッチング素子が設けられ、走査信号線の選択走査によって該スイッチング素子がデータ信号線の階調表示用電圧を画素容量に取込み、その取込まれた電荷によって電気光学素子を表示駆動することで、非選択期間にも表示を維持するようにしたアクティブマトリクス方式の画像表示装置において、データ信号線方向に相互に隣接する画素を一对として、データ信号線駆動回路は、相互に極性の異なる階調表示用電圧を出力する。すなわち、交流駆動を行うにあたって、ライン反転駆動を行う。なお、走査信号線方向に相互に隣接する画素間で相互に逆極性の階調表示用電圧を出力するドット反転駆動および相互に隣接するフレーム間で相互に逆極性の階調表示用電圧を出力するフレーム反転駆動が併用されてもよい。

【 0 0 1 8 】

そして、走査信号線駆動回路は、1または複数フレーム毎に前記階調表示用電圧の極性を切換えるにあたって、前記の対を成す走査信号線の内、走査順位が前段側の走査信号線の選択走査の前の前記ブランキング期間に、後段側の走査信号線も併せて選択走査する。このとき、データ信号線は、切離し手段によってデータ信号線駆動回路から切離されている。

【 0 0 1 9 】

したがって、前記の対を成す画素では、前段側の走査信号線の選択走査の前のブランキング期間における走査信号線の同時の選択走査によって、データ信号線を介して、それらの画素容量間の電荷が中和された後に、前段側の走査信号線の

みが選択走査されてデータ信号線駆動回路からのデータ信号を画素容量に取込み、続いて後段側の走査信号線の選択走査の前のブランキング期間ではそれらの走査信号線は共に非選択状態となり、その後に後段側の走査信号線のみが選択走査されてデータ信号線駆動回路からのデータ信号を画素容量に取込むことになる。

【 0 0 2 0 】

したがって、前記階調表示用電圧の極性を切換えるにあたって、相互に逆極性の隣接画素間で画素容量の電荷が十分に中和されており、データ信号線駆動回路がデータ信号線を充電する電荷量を少なくすることができ、省電力化を図ることができるとともに、波形鈍りを小さくすることができる。これによって、大型画面に好適に用いることができる。また、前記の電荷の中和は、各画素のスイッチング素子およびデータ信号線を用いて行われるので、走査信号線駆動回路の選択走査を変更するだけで、別途に短絡用のスイッチなどが不要になり、簡単な構成で実現することができる。

【 0 0 2 1 】

【発明の実施の形態】

本発明の実施の一形態について、図 1 ～図 1 1 に基づいて説明すれば、以下のとおりである。

【 0 0 2 2 】

図 1 は、本発明の実施の一形態の液晶表示装置 1 1 の全体構成を示すブロック図である。この液晶表示装置 1 1 は、T F T アクティブマトリクス方式の液晶パネル 1 2 の一方の端部にドライバ I C 1 3 が設けられ、隣接するもう一方の端部にドライバ I C 1 4 が設けられ、それらのドライバ I C 1 3、1 4 がコントロール回路 1 5 からの出力に応答して、液晶駆動電源 1 6 からの電圧を選択的に前記液晶パネル 1 2 に印加することで、表示が行われる。ドライバ I C 1 3 は N 個のデータドライバ D D 1 ～ D D N（総称するときには、以下参照符 D D で示す）から成り、ドライバ I C 1 4 は M 個のゲートドライバ D G 1 ～ D G M（総称するときには、以下参照符 D G で示す）から成る。

【 0 0 2 3 】

コントロール回路 1 5 は、ドライバ I C 1 3 に、制御信号として水平同期信号

、スタートパルスおよびクロック信号を出力し、ドライバIC14には、制御信号として水平同期信号および垂直同期信号を出力する。また、コントロール回路15からドライバIC13には、表示データが与えられる。さらにまた、本発明では、コントロール回路15からドライバIC13への前記制御信号には、後述する切離し信号が追加され、コントロール回路15からドライバIC14への制御信号には、後述するブランキング信号が追加される。ただし、ブランキング信号については、水平同期信号を利用してドライバIC14内部で生成してもよい。

【0024】

図2は、データドライバDDの一構成例を示すブロック図である。前記コントロール回路15からのデジタル表示データR、G、B（たとえば、64階調表示の場合は、各々6ビット）は、入力ラッチ回路21に入力されてラッチされる。一方、クロックCKに同期して、スタートパルスSPがシフトレジスタ22内を順次転送され、そのシフトレジスタ22の各段から出力される制御信号に応答して、前記入力ラッチ回路21から出力されるデジタル表示データがサンプリングメモリ23に時分割に取込まれ、一旦記憶される。そして、水平同期信号のタイミングで、すなわち前記サンプリングメモリ23に1ライン分の表示データが取込まれると、該サンプリングメモリ23に記憶された表示データは一括してホールドメモリ24に格納されるとともに、ラッチされる。この表示データのラッチは次の水平同期信号が入力されるまで維持される。

【0025】

そして、ラッチされた表示データは、レベルシフタ25において、液晶パネル12に印加される最大駆動電圧レベルまでレベル変換された後、D/A変換回路26に入力され、ここで液晶駆動電源16から出力される複数の基準電圧に基づいて基準電圧発生回路27で生成された液晶パネル12のデータ信号線D1～Dnに印加される階調表示電圧（64階調表示の場合は、64レベルの電圧値）の中から、表示データに応じた1つの電圧値が選択され、出力回路28を介して出力される。注目すべきは、本発明では、出力回路28とデータ信号線D1～Dn（総称するときには、以下参照符Dで示す）との間には、後述する切離しスイッ

チ回路 2 9 が介在されている。

【 0 0 2 6 】

図 3 は本発明のゲートドライバ D G の一構成例を示すブロック図であり、図 4 はそのタイミングチャートである。このゲートドライバ D G には、前記コントロール回路 1 5 から、水平同期信号 S P D、垂直同期信号 C L D およびブランキング信号 A が入力される。前記水平同期信号 S P D および垂直同期信号 C L D はシフトレジスタ 3 1 に入力され、該シフトレジスタ 3 1 は、水平同期信号 S P D を転送クロックとして同期を取り、垂直同期信号 C L D を該シフトレジスタ 3 1 内で転送してゆく。シフトレジスタ 3 1 の各段からの出力は A N D ゲート Q 1 ~ Q m の一方の入力端子にそれぞれ入力され、該 A N D ゲート Q 1 ~ Q m の他方の入力端子には前記コントロール回路 1 5 から入力されたブランキング信号 A がタイミング調整回路 3 2 およびインバータ 3 3 で反転されて入力される。

【 0 0 2 7 】

図 5 は、前記タイミング調整回路 3 2 の一構成例を示すブロック図である。このタイミング調整回路 3 2 は、シフトレジスタ 3 4 と、D フリップフロップ 3 5 と、A N D ゲート S 1 ~ S m / 2 とを備えて構成される。D フリップフロップ 3 5 のクロック入力端子 C K には前記ブランキング信号 A が与えられ、データ入力端子 D にはその反転出力 / Q が帰還される。したがって、この D フリップフロップ 3 5 は、前記ブランキング信号 A を 1 / 2 分周して前記シフトレジスタ 3 4 に与える。

【 0 0 2 8 】

シフトレジスタ 3 4 は、前記 D フリップフロップ 3 5 の反転出力 / Q をクロックとして、前記垂直同期信号 C L D を転送する。したがって、該シフトレジスタ 3 4 の各段からの出力は、2 つのブランキング信号の期間 (≒ 2 水平期間) 毎に、A N D ゲート S 1 ~ S m / 2 一方の入力端子にそれぞれ与える。A N D ゲート S 1 ~ S m / 2 の他方の入力端子には前記ブランキング信号 A が入力されており、したがって A N D ゲート S 1 ~ S m / 2 からの出力 B 1 ~ B m / 2 は、2 水平期間毎に、ブランキング期間だけ出力される。

【 0 0 2 9 】

前記出力 $B_1 \sim B_{m/2}$ は、相互に隣接する奇数番目の OR ゲート R_1, R_3, \dots, R_{m-1} と、偶数番目の OR ゲート R_2, R_4, \dots, R_m とを一对として、一方の入力端子にそれぞれ共通に与えられる。OR ゲート $R_1 \sim R_m$ の他方の入力端子には、前記 AND ゲート $Q_1 \sim Q_m$ からの出力がそれぞれ入力される。したがって、奇数番目の走査信号線、たとえば G_1 に対応する OR ゲート R_1 の出力は、該走査信号線 G_1 の選択走査の直前のブランキング期間およびそれに続く前記選択走査の期間に亘ってハイレベルとなり、偶数番目の走査信号線、たとえば G_2 に対応する OR ゲート R_2 の出力は、前記走査信号線 G_1 のブランキング期間に一旦ハイレベルとなった後、その走査信号線 G_1 の選択走査の期間および該走査信号線 G_2 のブランキング期間にはローレベルに切換わり、該走査信号線 G_2 の選択走査の期間に再びハイレベルに切換わる。

【 0 0 3 0 】

こうして、相互に隣接する奇数番目の走査信号線 G_1, G_3, \dots, G_{m-1} と、偶数番目の走査信号線 G_2, G_4, \dots, G_m とを一对として、前段側である奇数番目の走査信号線 $G_1 \sim G_{m-1}$ のブランキング期間に、共にハイレベルとなつて、後に詳述するように、液晶パネル 12 において、それらの走査信号線 $G_1 \sim G_{m-1}; G_2 \sim G_m$ に接続されるスイッチング素子が共に導通し、画素容量が短絡することになる。

【 0 0 3 1 】

前記各 OR ゲート $R_1 \sim R_m$ の出力は、レベルシフタ 36 において最大液晶駆動電圧までレベルシフトされ、バッファ回路である出力回路 37 から前記各走査信号線 $G_1 \sim G_m$ (総称するときには、以下参照符 G で示す) にそれぞれ出力される。なお、前記図 2 では、データ信号線 D は n 本であるので、前記図 1 で示す液晶表示装置 11 の全体構成で考えると、 $n \times N$ 本となる。同様に、この図 3 では、走査信号線 G は m 本であるので、前記図 1 で示す液晶表示装置 11 の全体構成で考えると、 $m \times N$ 本となる。

【 0 0 3 2 】

図 6 ～ 図 10 は、本発明の動作を説明するための図であり、データドライバ D の出力段から液晶パネル 12 の一部までの構成を 2 出力端子分示すブロック図

である。このデータドライバDDは、走査信号線Gの方向に相互に隣接する画素間で相互に逆極性の階調表示用電圧を出力するドット反転駆動と、データ信号線Dの方向に相互に隣接する画素間で相互に逆極性の階調表示用電圧を出力するライン反転駆動と、隣接するフレーム間で相互に逆極性の階調表示用電圧を出力するフレーム反転駆動とを併せて行う。

【0033】

このため、データドライバDDの出力段の構成も、隣接する奇数番目のデータ信号線D1, D3, ...と、偶数番目のデータ信号線D2, D4, ...とで一对となっており、前記図2のD/A変換回路26に対応するD/A変換回路DA1, DA2, ...および出力回路28に対応するオペアンプOP1, OP2, ...は、奇数番目のD/A変換回路DA1, DA3, ...と偶数番目のD/A変換回路DA2, DA4, ...とが一对で使用され、奇数番目のオペアンプOP1, OP3, ...と偶数番目のオペアンプOP2, OP4, ...とが一对で使用される。

【0034】

前記奇数番目のD/A変換回路DA1, DA3, ...およびオペアンプOP1, OP3, ...は正の電圧を出力するものであり、偶数番目のD/A変換回路DA2, DA4, ...およびオペアンプOP2, OP4, ...は負の電圧を出力する。そして、出力交流化のために、これらの入出力を切替えるスイッチSa1, Sa2, ...およびスイッチSb1, Sb2, ...が設けられている。図6～図10では、前記レベルシフタ25は省略している。

【0035】

前記各データ信号線D毎に設けられるホールドメモリM1, M2, ...でホールドされている表示データは、前記コントロール回路15からの極性反転信号に応答して動作する前記スイッチSa1, Sa2, ...を介して、1水平周期毎に、奇数番目のD/A変換回路DA1, DA3, ...と、偶数番目のD/A変換回路DA2, DA4, ...とに切換えられて入力される（図6～図10では、DA1, DA2のみを示している）。また、前記奇数番目のオペアンプOP1, OP3, ...からの階調表示用電圧と、偶数番目のオペアンプOP2, OP4, ...からの階調表示用電圧とが、極性反転信号に応答して、前記スイッチSb1, Sb2, ...を介

して、1 水平周期毎に切換えて出力される（図 6～図 10 では、OP1, OP2 のみを示している）。

【0036】

この構成では、正極性の D/A 変換回路 DA1, DA3, …の出力は、直接 N チャンネル MOS トランジスタ入力のおペアンプを使用したボルテージフォロワから成るおペアンプ OP1, OP3, …へ与えられ、負極性の D/A 変換回路 DA2, DA4, …の出力は、直接 P チャンネル MOS トランジスタ入力のおペアンプを使用したボルテージフォロワから成る OP2, OP4, …へ与えられ、各々のおペアンプ OP1, OP2, …の出力が、スイッチ Sb1, Sb2, …を介して所望の出力端子へ与えられる。

【0037】

一般に、液晶駆動回路の出力端子の重要な機能として、電源電圧フルレンジの出力ダイナミックレンジが要求される。通常の LSI で使用され、ゲートが 0 V のときに遮断するエンハンスメント型の MOS トランジスタを使用することを想定すると、その閾値電圧による動作不可領域をなくすために、各データ信号線 D 毎に、N チャンネル MOS 入力のおペアンプと P チャンネル MOS 入力のおペアンプとの両方を備えていなければならない。しかしながら、上述の構成では、正極性の D/A 変換回路 DA1, DA3, …は、電源電圧 Vcc の約 2 分の 1 以上の電圧のみを出力するので、おペアンプとして N チャンネル入力の回路のみで充分であり、同様に負極性の D/A 変換回路 DA2, DA4, …は、電源電圧 Vcc の約 2 分の 1 以下の電圧のみを出力するので、おペアンプとして P チャンネル入力の回路のみで充分であるので、隣接するデータ信号線 D1, D3, …と、偶数番目のデータ信号線 D2, D4, …とを一对として、D/A 変換回路 DA1, DA2, …およびおペアンプ OP1, OP2, …を共用している。

【0038】

これによって、各データ信号線 D 毎にそれぞれ正負両極性の D/A 変換回路およびおペアンプを設ける構成に比べて、略半分の構成ですむので、チップサイズの低減および低消費電力化を図っている。

【0039】

前記スイッチ S_{b1} , S_{b2} , …からの階調表示用電圧は、前記コントロール回路 15 からの切換制御信号に応答して導通／遮断し、前記出力回路 28 に対応する切離しスイッチ S_1 , S_2 , …（総称するときには、以下参照符 S で示す）を介して前記データ信号線 D に出力されている。この切離しスイッチ S は、MOS トランジスタやトランスマッションゲート等、アナログスイッチで構成されている。

【0040】

一方、液晶パネル 12 は、相互に交差する複数の走査信号線 G_1 , G_2 , …およびデータ信号線 D_1 , D_2 , …によって区画された各画素領域に電気光学素子ならびにそれに対を成すスイッチング素子 TFT_{11} , TFT_{12} , …（総称するときには、以下参照符 TFT で示す）および画素容量 C_{11} , C_{12} , …を備え、前記スイッチング素子 TFT_{11} , TFT_{12} , …によって前記画素容量 C_{11} , C_{12} , …に取込まれた電荷によって電気光学素子である液晶を表示駆動するようにしたアクティブマトリクス方式のパネルである。図 6～図 10 では、液晶容量および補助容量を合わせて、前記画素容量 C_{11} , C_{12} , …として示している。

【0041】

また、この液晶パネル 12 では、説明を簡単にするために、対向電極の電位を V_{com} の一定電圧とし、液晶を表示駆動するときには前記階調表示用電圧として V_{cc} （正極電位）または $0V$ （負極電位）とし、非表示駆動時には、前記対向電極の電位 V_{com} に等しい $V_{cc}/2$ とする。図 6 では、示されている総ての画素が表示を行っている状態を示している。たとえば、走査信号線 G_1 方向では、 TFT_{11} の画素が正極電位で表示を行っており、 TFT_{12} の画素が負極電位で表示を行っており、前記ドット反転駆動が行われていることを示している。また、データ信号線 D_1 方向では、 TFT_{11} , TFT_{31} の画素が正極電位で表示を行っており、 TFT_{21} , TFT_{41} の画素が負極電位で表示を行っており、前記ライン反転駆動が行われていることを示している。

【0042】

さらにまた、切離しスイッチ S_1 , S_2 , …は導通しており、データ信号線 D

1 には D/A 変換回路 D A 1 および オペアンプ O P 1 が対応して正の電圧 V_{cc} が出力されており、データ信号線 D 2 には D/A 変換回路 D A 2 および オペアンプ O P 2 が対応しては負の電圧 0 V が出力されている状態を示している。図示されている T F T 1 1 ~ T F T 4 1 および T F T 1 2 ~ T F T 4 2 は総て遮断しており、前述のようにスイッチ S 1, S 2 は導通しているので、この図 6 の状態では、選択走査の順位がさらに後位の図示しない走査信号線 G 5 以降のラインで表示データが取込まれていることを示している。

【 0 0 4 3 】

図 1 1 は、上述のように構成される液晶表示装置 1 1 の動作を説明するためのタイミングチャートである。この図 1 1 は、データ信号線 D 1 の 1 ライン分の構成に関する波形を示している。図 7 ~ 図 1 0 を合わせて参照して、図 1 1 に図示しない前記垂直同期信号 C L D に続いて、第 1 番目のラインの走査期間となり、その前半には、水平同期信号 S P D の期間 $t_2 \sim t_3$ を含む期間 $t_1 \sim t_4$ に亘って、ブランキング期間が設定される。

【 0 0 4 4 】

このブランキング期間には、図 7 で示すように、切離しスイッチ S 1 が遮断するとともに、対を成す走査信号線 G 1, G 2 は共にハイレベルとなって、T F T 1 1, T F T 2 1 が導通する。これによって、画素容量 C 1 1, C 2 1 がデータ信号線 D 1 を介して短絡し、前記図 6 で示す画素容量 C 1 1 のハイレベル V_{cc} の電荷と、画素容量 C 2 1 のローレベル 0 V の電荷とが中和し、画素容量 C 1 1, C 2 1 の容量が等しい場合、前記 $V_{cc}/2$ の対向電極の電位 V_{com} となる。このとき、画素容量 C 2 1 が非表示状態 ($V_{cc}/2$) であれば、中和された後の電位は $3V_{cc}/4$ となり、画素容量 C 1 1 が非表示状態であれば、中和された後の電位は $V_{cc}/4$ となる。

【 0 0 4 5 】

時刻 t_4 で前記ブランキング期間が終了すると、走査信号線 G 1 はハイレベルのままで、走査信号線 G 2 がローレベルとなって、図 8 で示すように、T F T 2 1 が遮断するとともに、切離しスイッチ S 1 が導通する。これによって、画素容量 C 1 1 にデータ信号線 D 1 を介して、ローレベル 0 V の新たなフレームの表示

データが取込まれ、表示が開始される。

【0046】

続いて、時刻 t_5 から第2番目のラインの走査期間となると、走査信号線 G_1 もローレベルとなって、 TFT_{11} が遮断する。ブランキング期間が終了する時刻 t_6 で走査信号線 G_2 がハイレベルとなって、図9で示すように、 TFT_{21} が導通する。前記切離しスイッチ S_1 は、前記時刻 t_4 から導通したままである。これによって、画素容量 C_{21} にデータ信号線 D_1 を介して、ハイレベル V_{cc} の新たなフレームの表示データが取込まれ、表示が開始される。

【0047】

時刻 t_7 で第3番目のラインの走査期間となると、図10で示すように、 TFT_{21} が遮断し、前記 $t_1 \sim t_4$ と同様に、その前半のブランキング期間には、切離しスイッチ S_1 が遮断するとともに、対を成す走査信号線 G_3 、 G_4 は共にハイレベルとなって、 TFT_{31} 、 TFT_{41} が導通する。これによって、画素容量 C_{31} 、 C_{41} がデータ信号線 D_1 を介して短絡し、前記図6で示す画素容量 C_{31} のハイレベル V_{cc} の電荷と、画素容量 C_{41} のローレベル $0V$ の電荷とが中和し、画素容量 C_{31} 、 C_{41} の容量が等しい場合、前記 $V_{cc}/2$ の対向電極の電位 V_{com} となる。

【0048】

その後は、前記時刻 t_4 以降と同様に、切離しスイッチ S_1 が導通し、 TFT_{31} を介して画素容量 C_{31} にローレベル $0V$ の新たなフレームの表示データが取込まれて表示が開始され、 TFT_{41} を介して画素容量 C_{41} にハイレベル V_{cc} の新たなフレームの表示データが取込まれて表示が開始される。

【0049】

このように本発明の液晶表示装置 11 は、走査信号線 G の走査時間が終わり、次の走査信号線 G の走査のための水平同期信号が入った後、次の表示データのデータドライバ DD 内のシフトレジスタ 22 での転送が終わり、出力回路 28 で階調表示用電圧が安定するまでのブランキング期間において、ライン反転駆動では隣接するライン間の画素は逆極性であることを利用して、隣接する画素容量 C_{11} 、 C_{12} ； C_{31} 、 C_{32} ；…と C_{21} 、 C_{22} ； C_{41} 、 C_{42} ；…とを、

データ信号線Dを介して短絡させ、電荷を移動させる。前記電荷の移動は、液晶表示装置としての消費電力とはならず、前記データドライバDDがデータ信号線Dを充電する電荷量を少なくすることができ、省電力化を図ることができるとともに、波形鈍りを小さくすることができる。

【0050】

これによって、大型画面に好適に用いることができる。また、前記の電荷の中和は、各画素のTFTおよびデータ信号線Dを用いて行われるので、ゲートドライバDGを、たとえば前記図3で示すように構成して、その選択走査を変更するだけで、別途に短絡用のスイッチなどが不要になり、簡単な構成で実現することができる。

【0051】

なお、本発明は、ドット反転駆動に使用されてもよく、その場合には、相互に隣接する逆極性の画素間に短絡手段としてスイッチを設け、そのスイッチを、走査信号線Gの走査の直前に、該走査信号線Gと平行に、各画素間に共通に引回された信号線で導通駆動することによって実現することができる。このような構成では、液晶パネル側に前記スイッチおよび信号線が必要になるけれども、走査信号線Gが走査されていない、すなわちTFTが遮断し、各画素容量C11, C12...がデータ信号線Dから切離されている状態で短絡が行われるので、データドライバDDには、切離しスイッチ29を備えていない従来のものを使用することができる。

【0052】

【発明の効果】

本発明の画像表示装置は、以上のように、アクティブマトリクス方式の画像表示装置において、交流駆動を行うにあたって、相互に隣接する画素を一对として、データ信号線方向に相互に隣接する画素間で相互に逆極性の階調表示用電圧を出力するライン反転駆動および／または走査信号線方向に相互に隣接する画素間で相互に逆極性の階調表示用電圧を出力するドット反転駆動を行い、1または複数フレーム毎に前記階調表示用電圧の極性を切換えるにあたって、前の走査信号線の選択走査期間、すなわち対象となる走査信号線が選択走査される直前の非選

択期間内に、短絡手段が前記一对の画素容量間を短絡し、それらの電荷を十分に中和した後に、対象となる走査信号線を選択走査してデータ信号を取込ませる。

【0053】

それゆえ、データ信号線駆動回路がデータ信号線を充電する電荷量を少なくすることができ、省電力化を図ることができる。また、前記の電荷の中和は、隣接画素間で行われるので、短絡手段は表示パネル上に形成され、前記データ信号線駆動回路を簡単な構成で実現することができるとともに、波形鈍りを小さくすることができる。さらにまた、そのように短絡される画素間は非選択状態であるので、データ信号線から切離されており、データ信号線駆動回路に影響を及ぼすことはない。これによって、大型画面に好適に用いることができる。

【0054】

さらにまた、本発明の画像表示装置は、以上のように、アクティブマトリクス方式の画像表示装置において、交流駆動をライン反転駆動で行い、データ信号線方向に相互に隣接する画素を一对として、1または複数フレーム毎に階調表示用電圧の極性を切替えるにあたって、前記の対を成す走査信号線の内、走査順位が前段側の走査信号線の選択走査の前のブランキング期間に、切離し手段によってデータ信号線駆動回路からデータ信号線を切離した後、後段側の走査信号線も併せて選択走査することで、データ信号線を介してそれらの画素容量間の電荷を中和する。

【0055】

それゆえ、データ信号線駆動回路がデータ信号線を充電する電荷量を少なくすることができ、省電力化を図ることができるとともに、波形鈍りを小さくすることができる。これによって、大型画面に好適に用いることができる。また、前記の電荷の中和は、各画素のスイッチング素子およびデータ信号線を用いて行われるので、走査信号線駆動回路の選択走査を変更するだけで、別途に短絡用のスイッチなどが不要になり、簡単な構成で実現することができる。

【図面の簡単な説明】

【図1】

本発明の実施の一形態の液晶表示装置の全体構成を示すブロック図である。

【図 2】

図 1 で示す液晶表示装置におけるデータドライバの一構成例を示すブロック図である。

【図 3】

図 1 で示す液晶表示装置におけるゲートドライバの一構成例を示すブロック図である。

【図 4】

図 3 で示すゲートドライバのタイミングチャートである。

【図 5】

前記図 3 のゲートドライバにおけるタイミング調整回路の一構成例を示すブロック図である。

【図 6】

本発明の動作を説明するための図である。

【図 7】

本発明の動作を説明するための図である。

【図 8】

本発明の動作を説明するための図である。

【図 9】

本発明の動作を説明するための図である。

【図 1 0】

本発明の動作を説明するための図である。

【図 1 1】

図 6 ～図 1 0 で示す動作を説明するためのタイミングチャートである。

【図 1 2】

典型的な従来技術の構成を簡略化して示すブロック図である。

【図 1 3】

交流駆動の様子を説明するための図である。

【符号の説明】

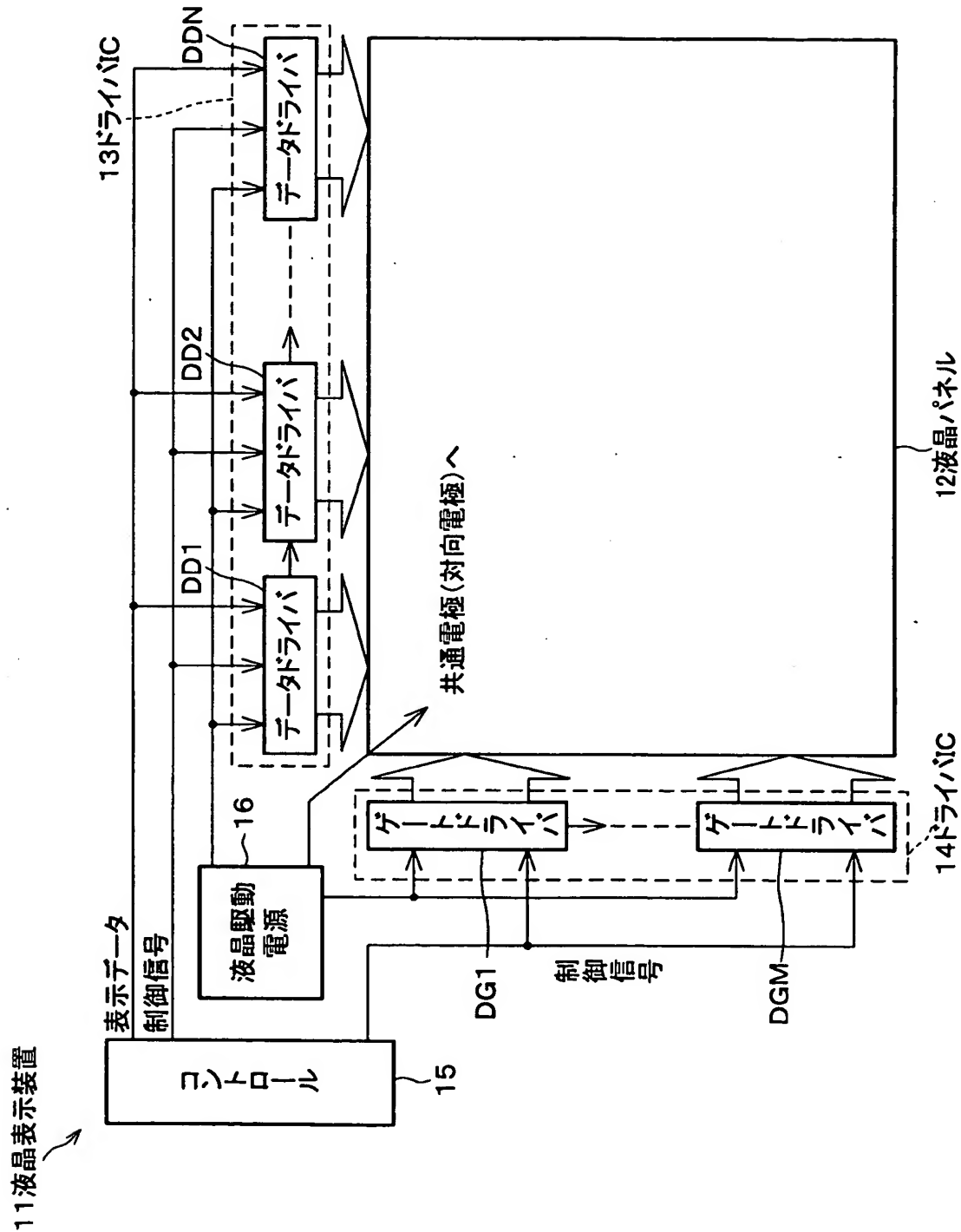
1 1 液晶表示装置

- 1 2 液晶パネル
- 1 3, 1 4 ドライバ I C
- 1 5 コントロール回路
- 1 6 液晶駆動電源
- 2 1 入力ラッチ回路
- 2 2, 3 1, 3 4 シフトレジスタ
- 2 3 サンプリングメモリ
- 2 4 ホールドメモリ
- 2 5, 3 6 レベルシフタ
- 2 6 D / A 変換回路
- 2 7 基準電圧発生回路
- 2 8 出力回路
- 2 9 切離しスイッチ回路
- 3 2 タイミング調整回路
- 3 3 インバータ
- 3 5 D フリップフロップ
- 3 7 出力回路
- C 1 1, C 1 2, ... 画素容量
- D 1 ~ D n データ信号線
- D A 1, D A 2, ... D / A 変換回路
- D D 1 ~ D D N データドライバ
- D G 1 ~ D G M ゲートドライバ
- G 1 ~ G m 走査信号線
- O P 1, O P 2, ... オペアンプ
- Q 1 ~ Q m A N D ゲート
- S 1 ~ S m / 2 A N D ゲート
- R 1 ~ R m O R ゲート
- S 1, S 2, ... 切離しスイッチ
- S a 1, S a 2, ... ; S b 1, S b 2, ... スイッチ

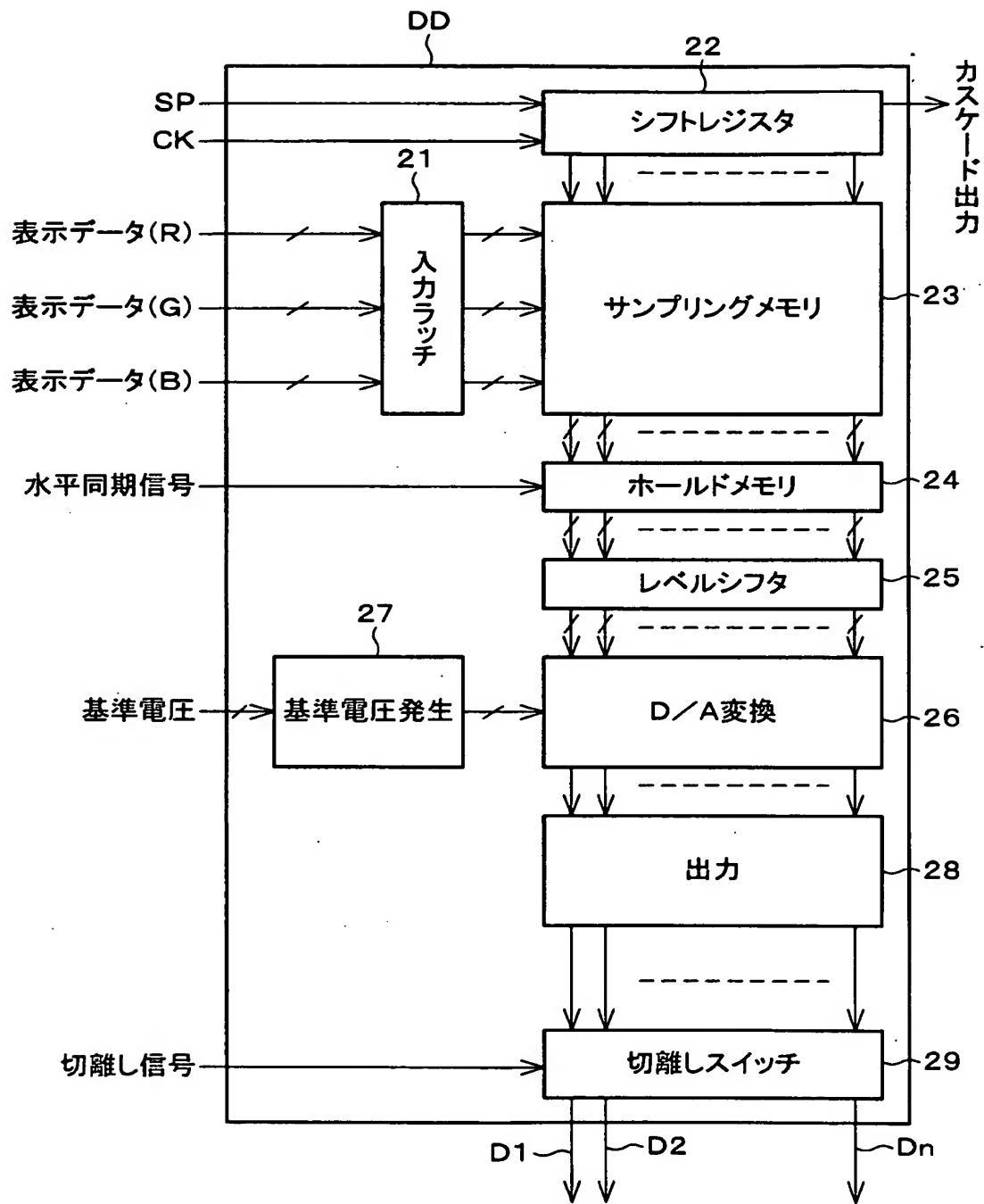
TFT11, TFT12, ... スイッチング素子

【書類名】 図面

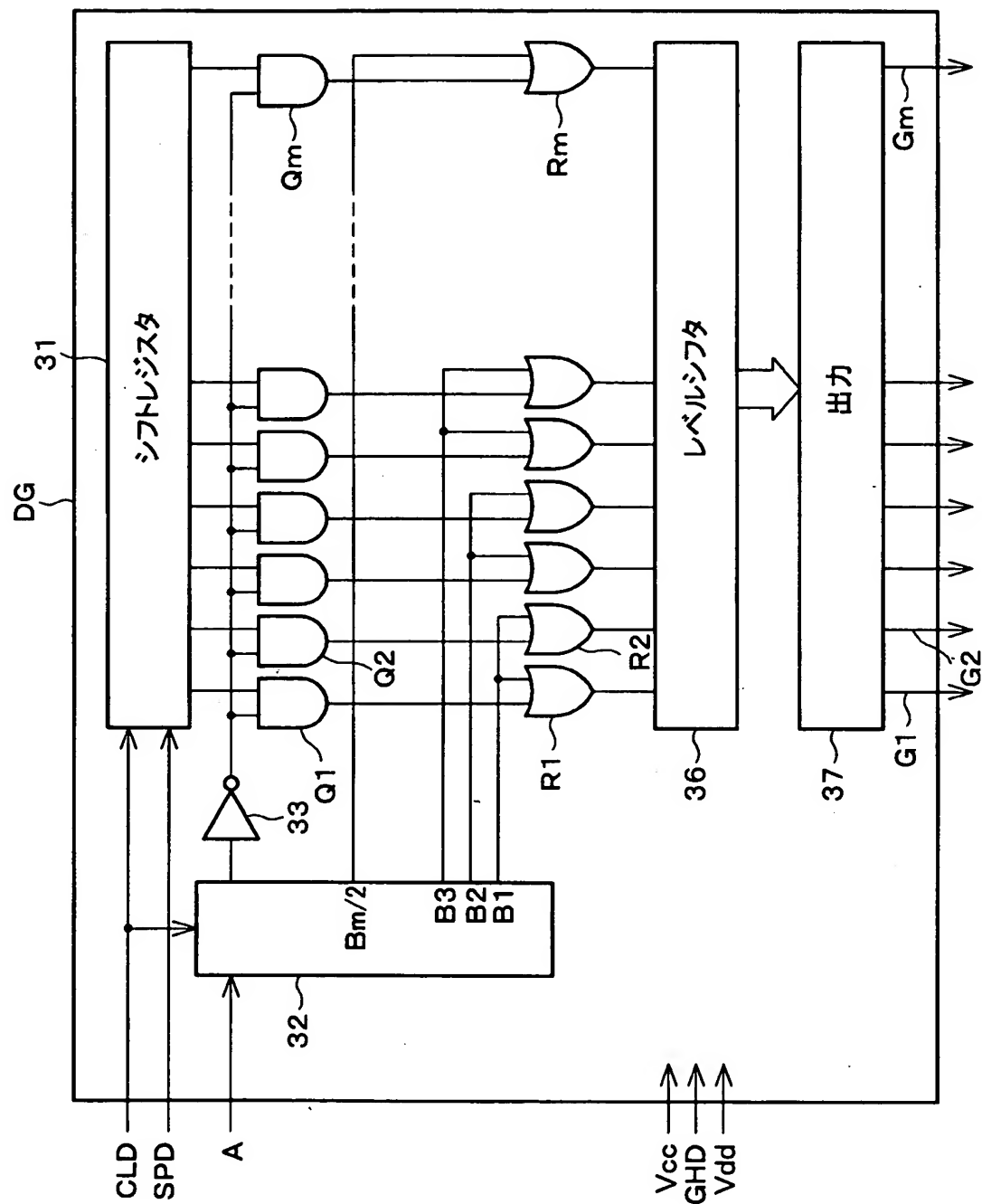
【図 1】



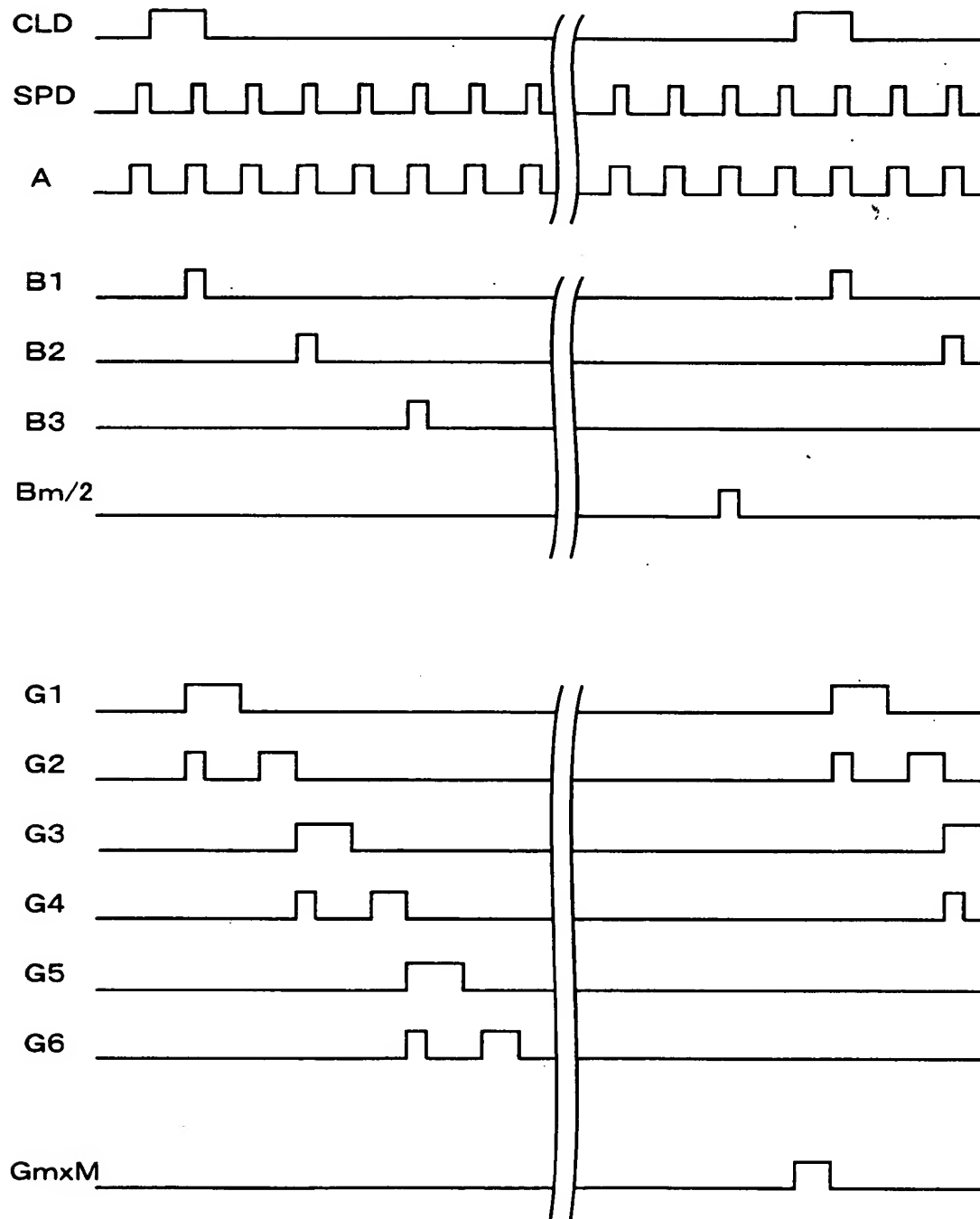
【図 2】



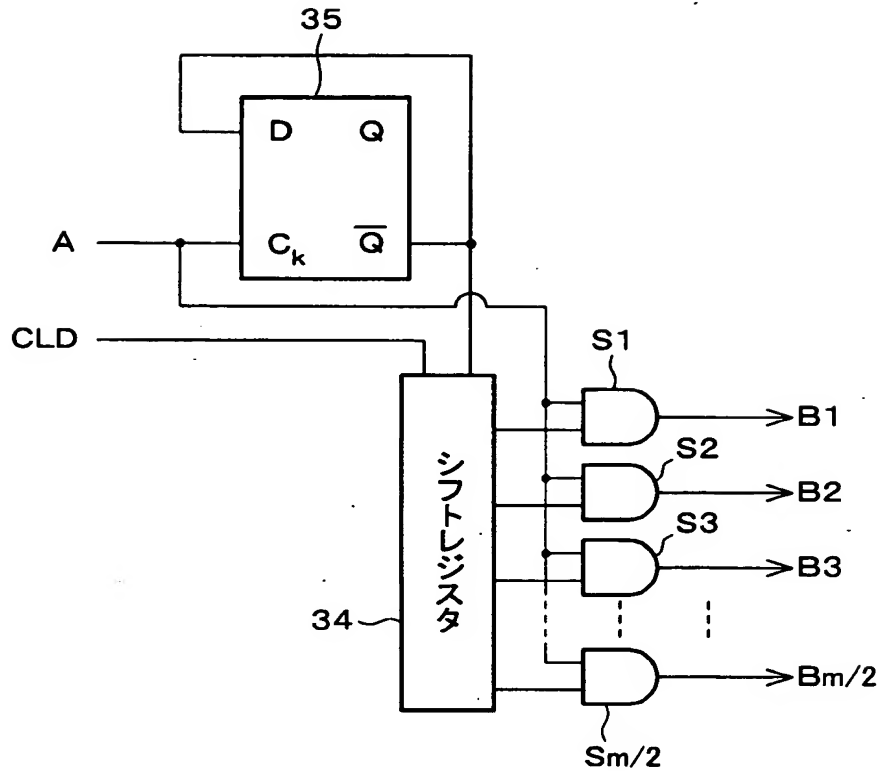
【図 3】



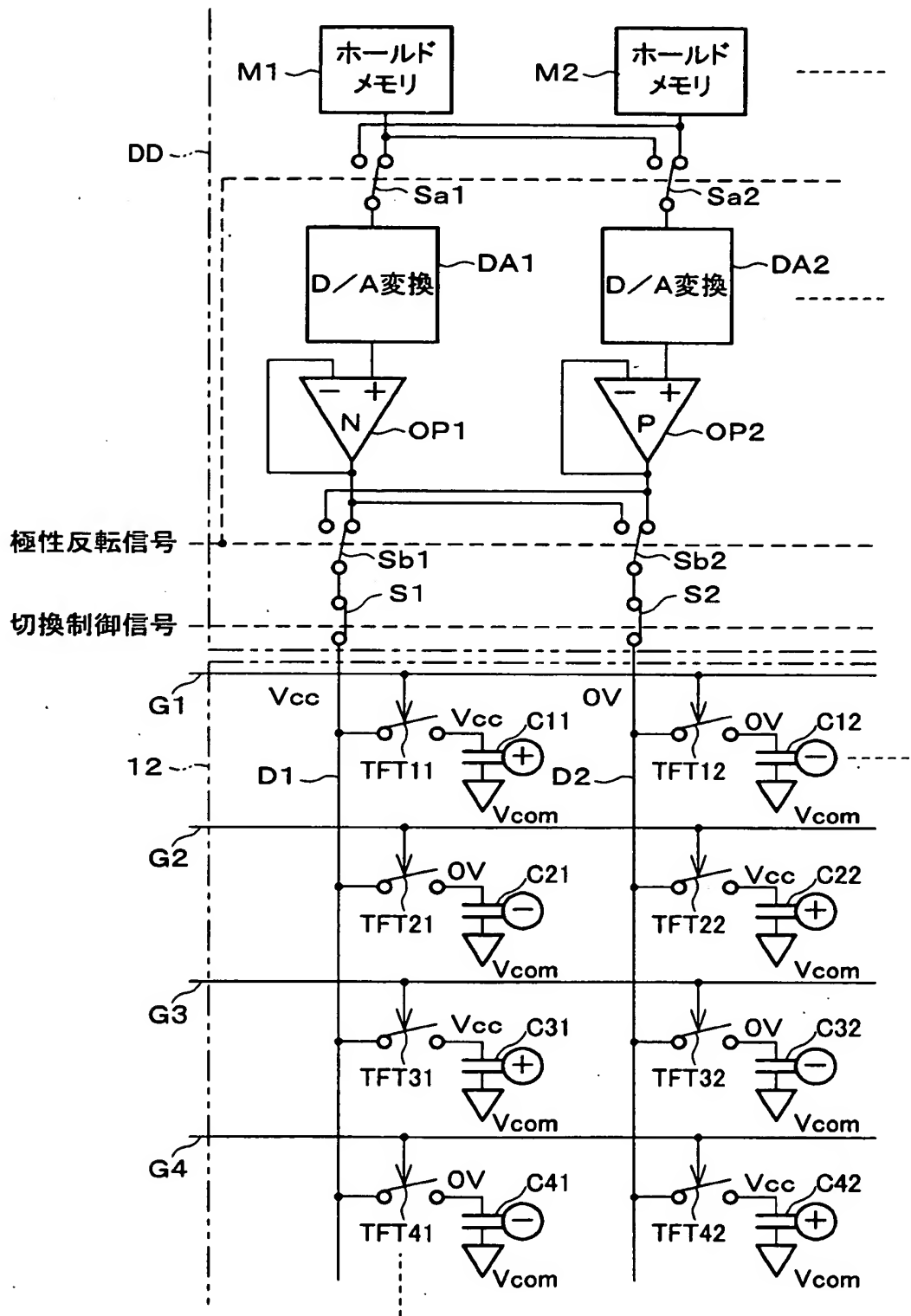
【図 4】



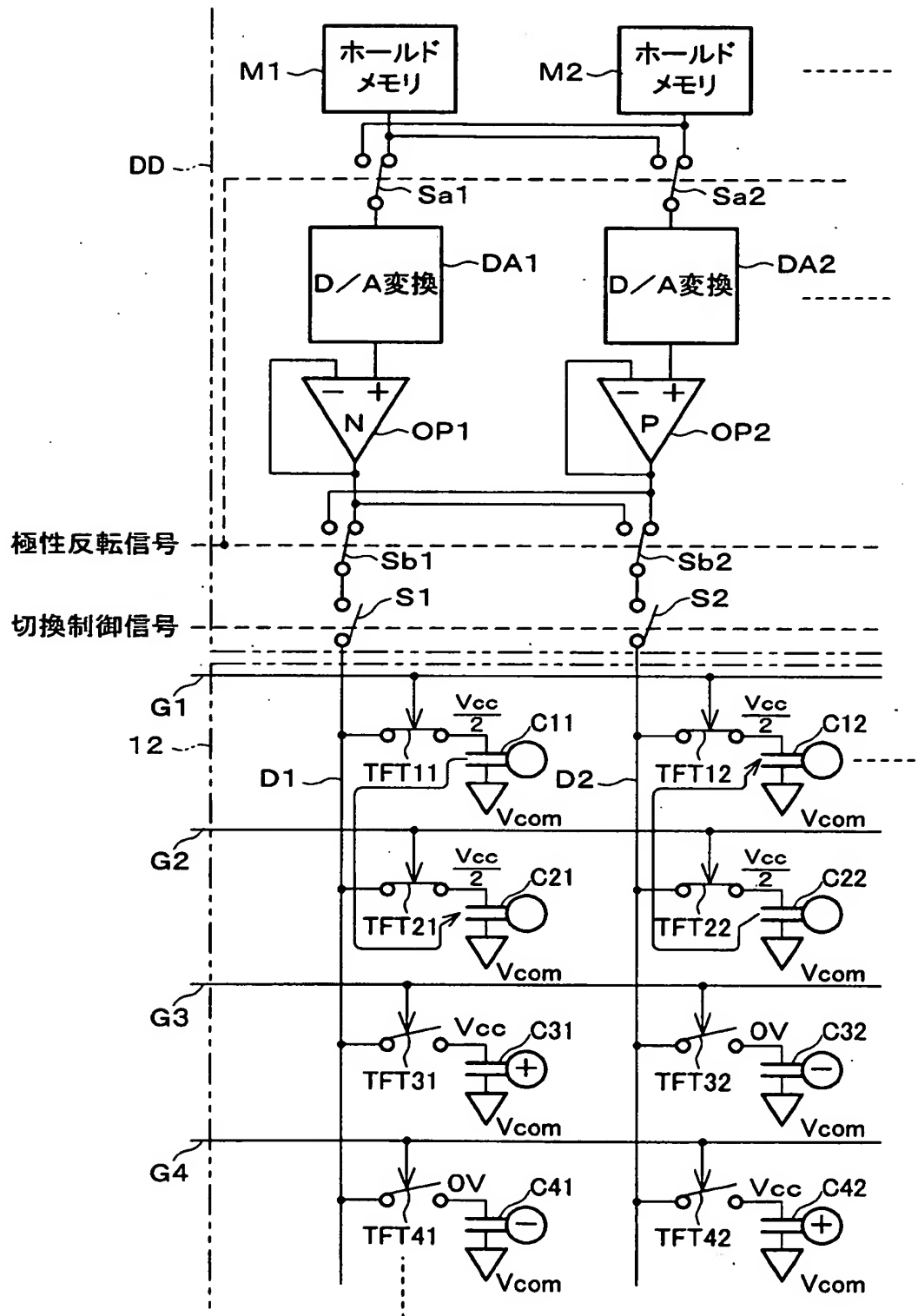
【図 5】



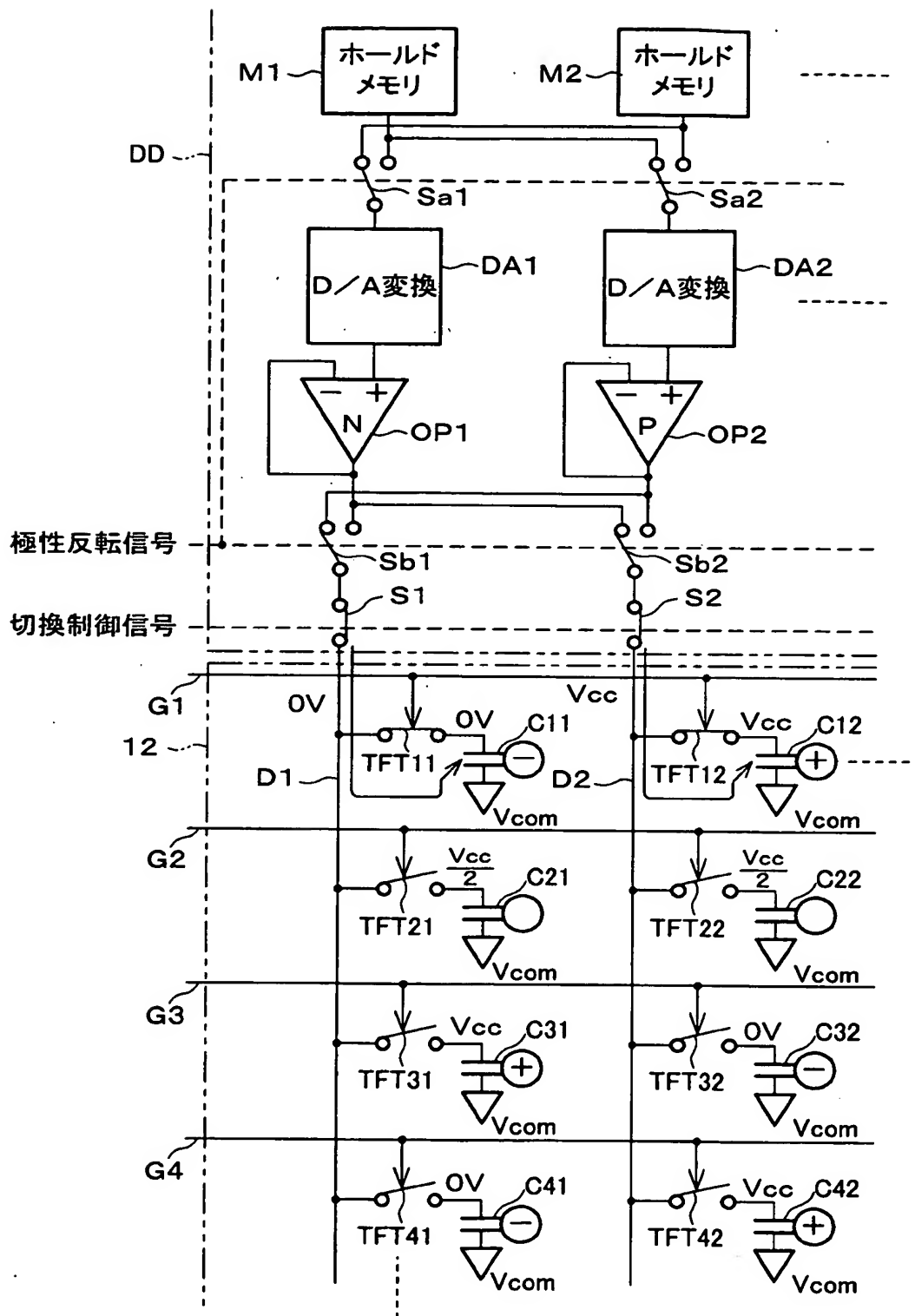
【図6】



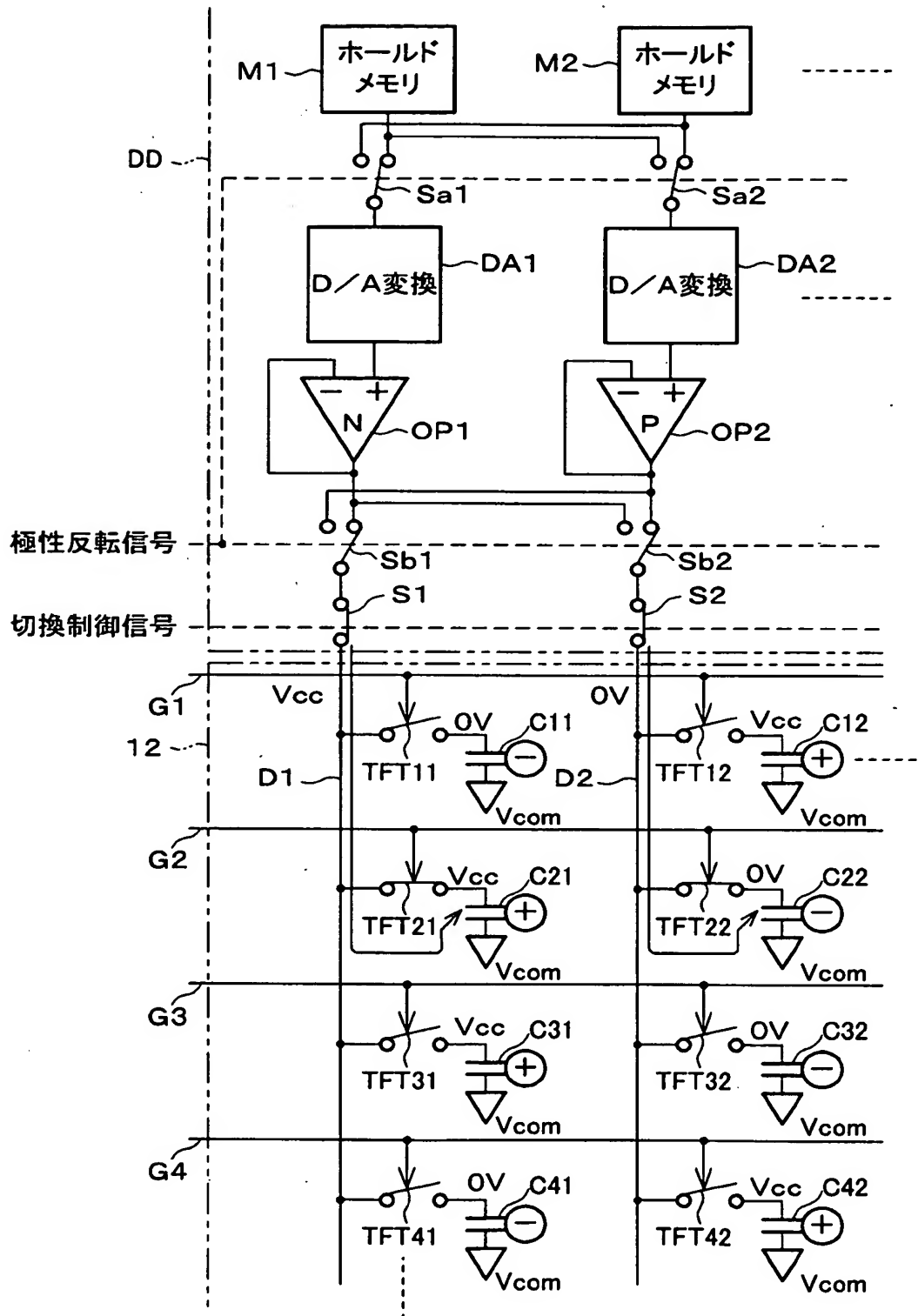
【図 7】



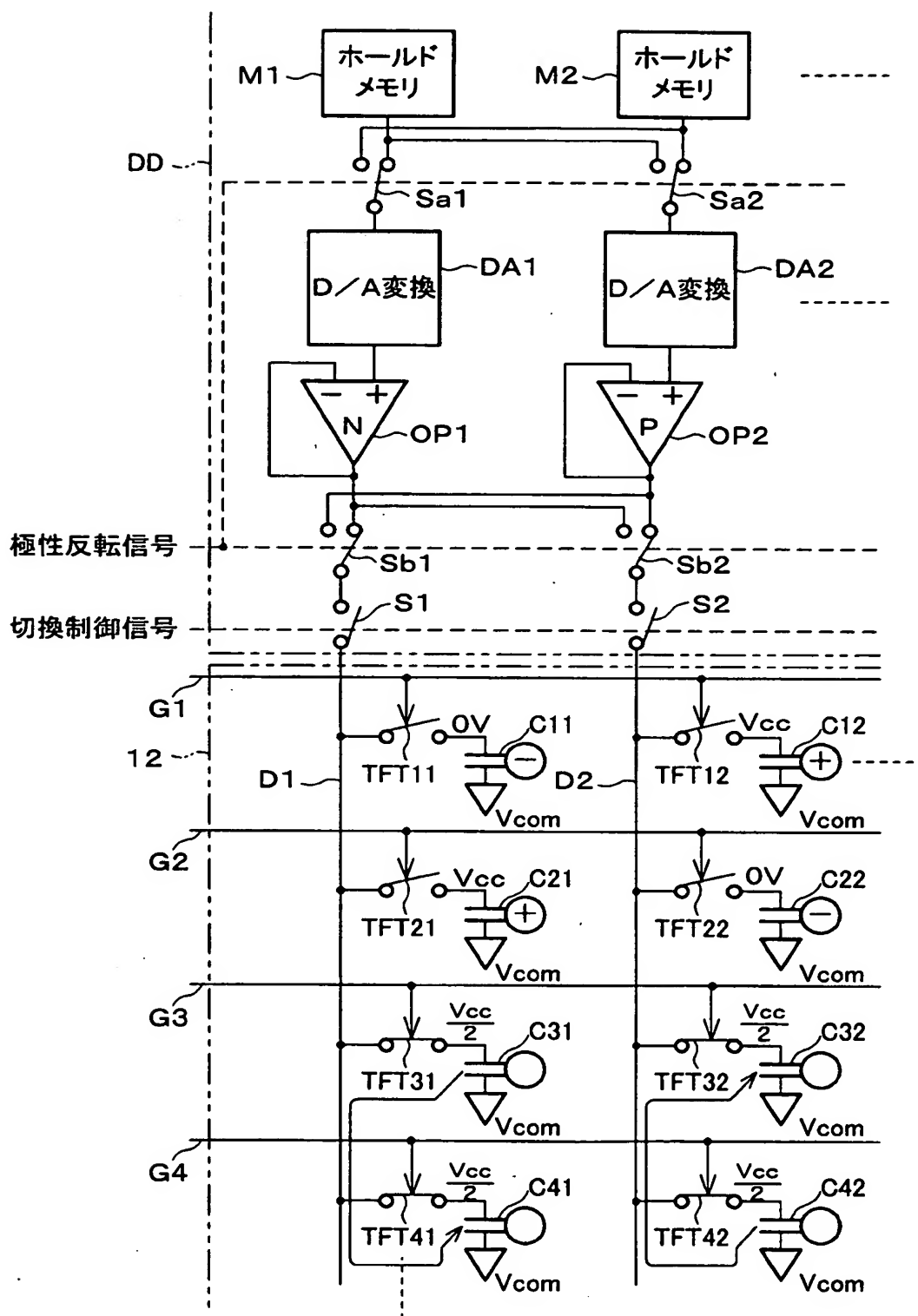
【図 8】



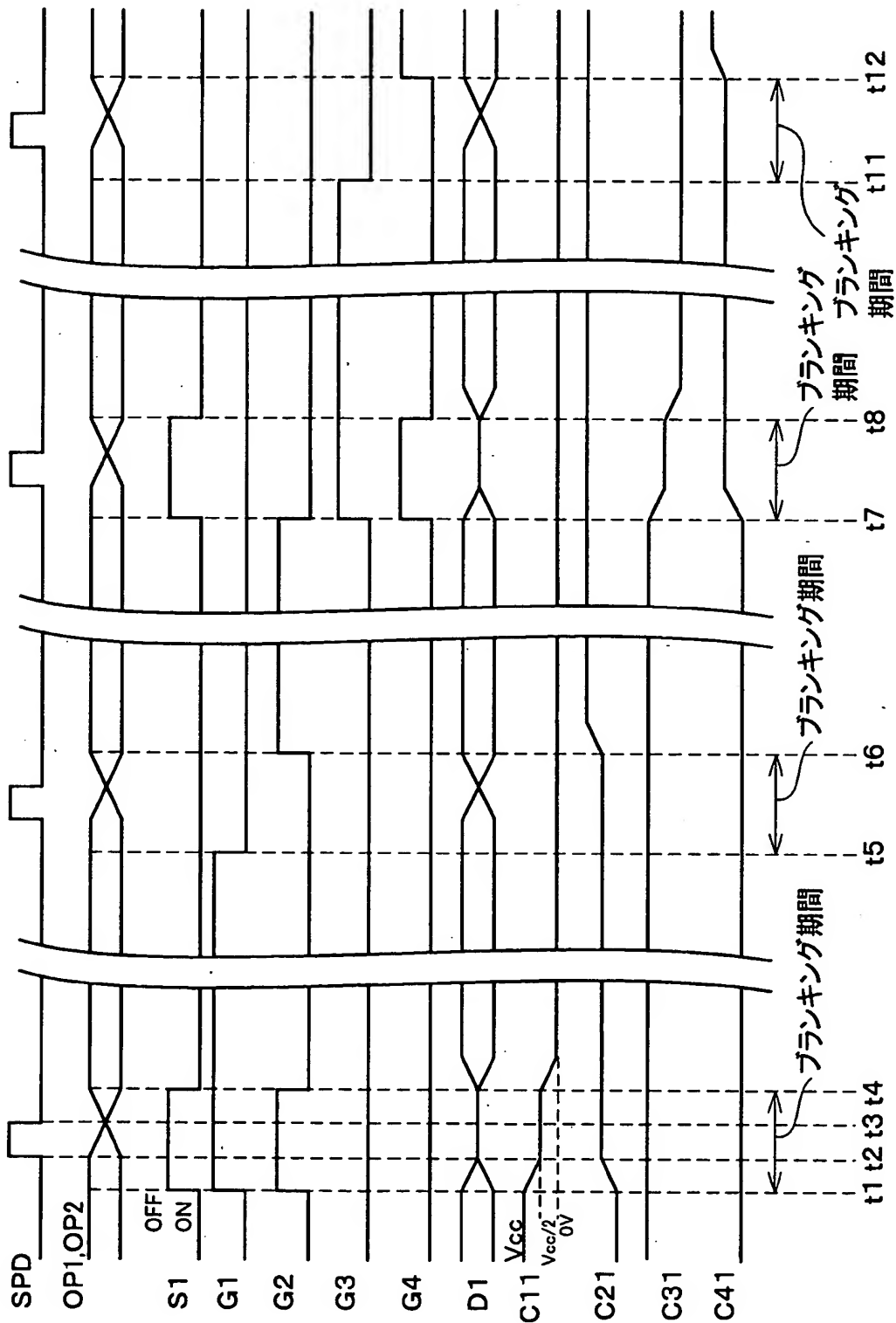
【図 9】



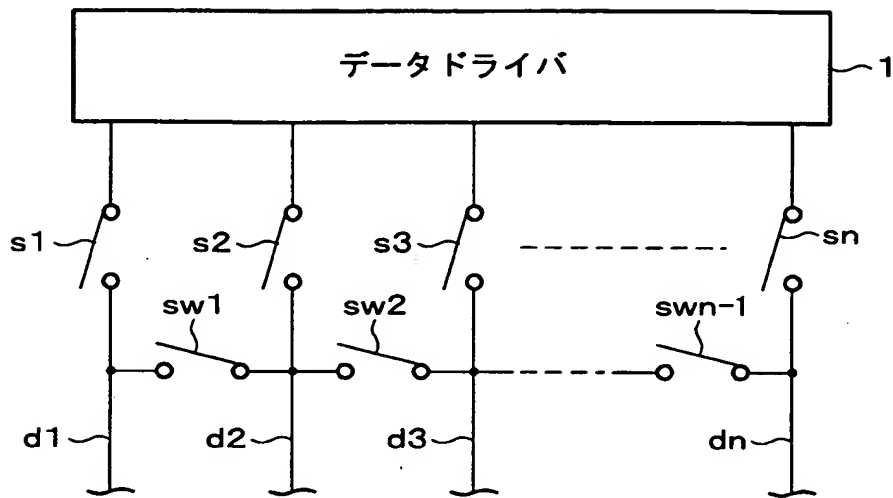
【図 10】



【図 11】



【図 12】



【図 13】

(a)

(b)

データ信号線

	1	2	3	4	5	6
1	+	-	+	-	+	-
2	-	+	-	+	-	+
3	+	-	+	-	+	-
4	-	+	-	+	-	+
5	+	-	+	-	+	-
6	-	+	-	+	-	+
7	+	-	+	-	+	-
8	-	+	-	+	-	+

走査信号線

データ信号線

	1	2	3	4	5	6
1	-	+	-	+	-	+
2	+	-	+	-	+	-
3	-	+	-	+	-	+
4	+	-	+	-	+	-
5	-	+	-	+	-	+
6	+	-	+	-	+	-
7	-	+	-	+	-	+
8	+	-	+	-	+	-

走査信号線

【書類名】 要約書

【要約】

【課題】 アクティブマトリクス方式の画像表示装置の省電力化を図る。

【解決手段】 データ信号線 D_1, D_2, \dots 方向に相互に隣接する画素を一对として、相互に極性の異なる階調表示用電圧 $V_{cc}/0V$ を出力することでライン反転駆動を行う。一方、データドライバ DD の出力段に、該出力段とデータ信号線 D_1, D_2, \dots とを切離す切離しスイッチ S_1, S_2, \dots を設け、ブランキング期間に、データ信号線 D_1, D_2, \dots を切離すとともに、前段側の走査信号線 G_1, G_3, \dots の走査時に、後段側の走査信号線 G_2, G_4, \dots も併せて選択走査する。したがって、前記ブランキング期間に、隣接する画素容量 $C_{11}, C_{12} : C_{31}, C_{32} : \dots$ の電荷と $C_{21}, C_{22} : C_{41}, C_{42} : \dots$ の電荷とが中和され、省電力化することができる。また、短距離で短絡されるので、波形鈍りが小さい。これによって、大型画面に好適に用いることができる。

【選択図】 図 7

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社